

## Disciplina de Circuitos Digitais INF01058

Aluno de Atividade Didática II UFRGS – Jorge Wichrowski Krieger de Mello

Professor Responsável Sergio Bampi

### RESUMO

Durante o semestre estive presente em todas as aulas práticas, auxiliando os alunos a desenvolverem seus trabalhos no software Quartus II e a prototiparem nas placas de FPGA. Instalei a versão gratuita do software Quartus II em todos os computadores do Lab105-67 e testei as placas da Altera disponíveis no lab. Ao todo foram especificados, desenvolvidos e corrigidos quatro trabalhos práticos junto aos alunos para que eles aprendessem o básico da disciplina. Ao final foi dada a especificação de um projeto final o qual os alunos tiveram que desenvolver sozinhos, para testarem a parte prática aprendida durante o semestre. No geral a turma teve um ótimo aproveitamento tanto nas aulas quanto no projeto final, conseguindo fazer aquilo que era esperado. Organizei e coloquei materiais que o professor Bampi me passou no moodle da disciplina. Imagens do ambiente Moodle bem como dos trabalhos práticos e projeto desenvolvidos podem ser acessados no seguinte link: [http://www.inf.ufrgs.br/~jwkmello/Atividade\\_DidaticaII.pdf](http://www.inf.ufrgs.br/~jwkmello/Atividade_DidaticaII.pdf)

### MOODLE DE INF01058

#### Exercícios e Aulas

The screenshot displays the Moodle interface for the course 'INF01058 Circuitos Digitais - Turma C (2014/1)'. The main content area is divided into two primary sections: 'Exercícios INF01058 Circuitos Digitais' and 'Aulas'. Under 'Exercícios', there are three sub-items: 'Exercícios INF01058 Circuitos Digitais', 'Exercícios INF01058 Área 1 e Área 2', and 'Exercícios Maq Sequenciais'. The 'Aulas' section lists ten lessons, from 'Aula 1 Parte 1' to 'Aula 10'. On the right-hand side, there is a search bar for forums, a 'Últimas notícias' section showing recent forum posts with dates and authors, and a 'Próximos eventos' section. The browser's address bar shows the URL 'moodle.inf.ufrgs.br/course/view.php?id=668'.

# Aulas

The screenshot shows a Moodle course page for 'INF01058\_Circu'. The main content area displays a list of lessons (Aulas) from Aula 10 to Aula 26. The current lesson, 'Aula 19 - Latches', is highlighted. Below the list, there are sections for 'Laboratório 1 e 2 - Simulação Spice - Trabalho 1' and 'Material de Apoio'. The sidebar on the right contains several widgets: 'Próximos eventos' (No upcoming events), 'Atividade recente' (Recent activity), and 'Navegação' (Navigation). The navigation menu includes 'Página inicial', 'Minha página inicial', 'Páginas do site', 'Meu perfil', 'Curso atual', and a tree view of the course structure. The system tray at the bottom shows the date as 22/07/2014 and the time as 22:43.

# Laboratório 1 e 2

The screenshot shows the same Moodle course page, but now displaying the details for 'Laboratório 1 e 2 - Simulação Spice - Trabalho 1'. The main content area includes sections for 'Material de Apoio' (with links to 'Introdução ao Spice Opus', 'Manual Spice', and 'Link Download Spice Opus') and 'Submissão' (with a 'Trabalho 1 Submeter' button). Below this, there is a section for 'Laboratório 3 e 4 - Introdução ao Max+Plus II, somador, VHDL, display 7 segmentos - Trabalho 2'. The sidebar on the right is updated to show the current course structure, with 'Laboratório 1 e 2 - Simulação Spice - Trabalho 1' selected. The system tray at the bottom shows the date as 22/07/2014 and the time as 22:43.

## Laboratório 3 e 4

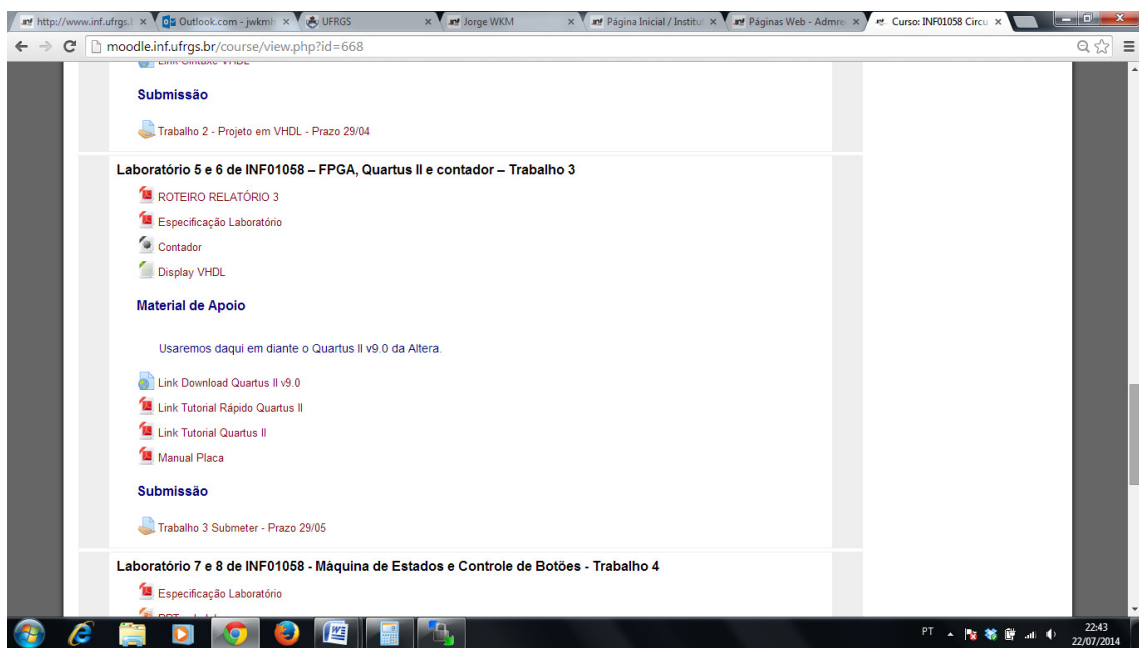


The screenshot shows a Moodle course page titled "Laboratório 3 e 4 - Introdução ao Max+Plus II, somador, VHDL, display 7 segmentos - Trabalho 2". The page content includes:

- ROTEIRO RELATÓRIO 2**
- Especificação Laboratório 3
- Especificação Laboratório 4
- Corpo VHDL
- Full Adder
- Somador 2 bits
- Somador 2 bits Outro
- Material de Apoio**
- Cadastre-se no site, faça o download e instale o Max+Plus.
- Link Download Max+Plus
- Abra o Max+Plus, vá em "Options" -> "License Setup" e carregue a seguinte licença:
- inf01175.dat
- Introdução ao Max+Plus
- Link: Software Karma
- Link: Sintaxe VHDL
- Submissão**
- Trabalho 2 - Projeto em VHDL - Prazo 29/04

The right sidebar contains course administration options such as "Somador e Subtrator de 08 bits", "Notas", "Meus cursos", and "Administração". The "Administração" section is expanded to show "Administração do curso" with options like "Ativar edição", "Editar configurações", "Usuários", "Cancelar a minha inscrição no curso INF01058\_TurmaC", "Filtros", "Relatórios", "Notas", "Badges", "Backup", "Restaurar", "Importar", "Reconfigurar", "Banco de questões", "Mudar papel para...", and "Minhas configurações de perfil".

## Laboratório 5 e 6

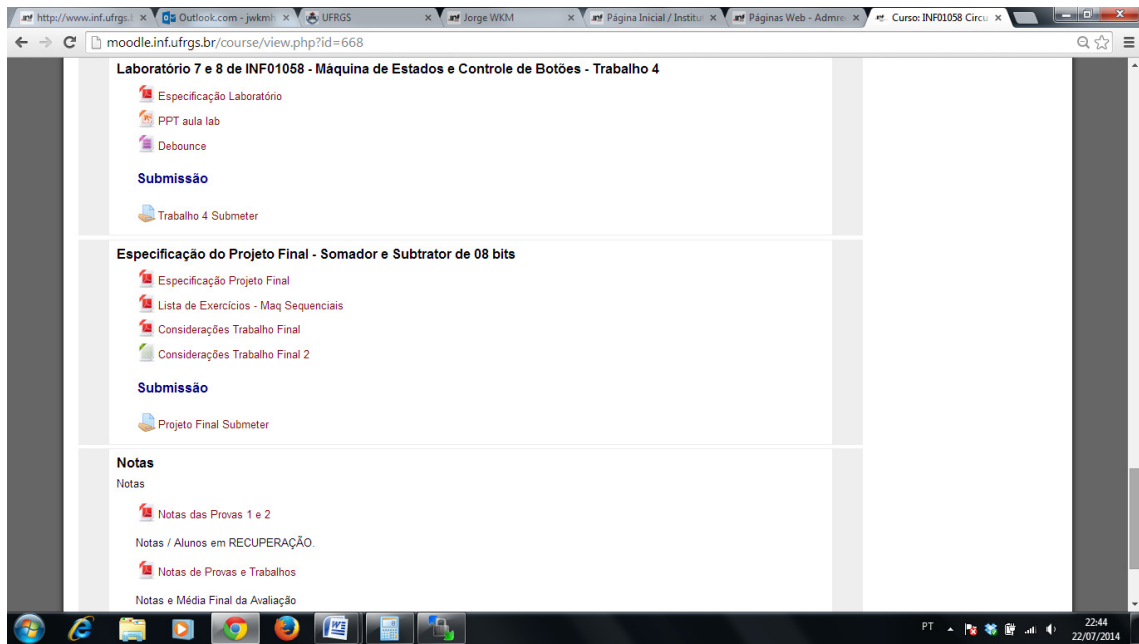


The screenshot shows a Moodle course page titled "Laboratório 5 e 6 de INF01058 - FPGA, Quartus II e contador - Trabalho 3". The page content includes:

- Submissão**
- Trabalho 2 - Projeto em VHDL - Prazo 29/04
- Laboratório 5 e 6 de INF01058 - FPGA, Quartus II e contador - Trabalho 3**
- ROTEIRO RELATÓRIO 3
- Especificação Laboratório
- Contador
- Display VHDL
- Material de Apoio**
- Usaremos daqui em diante o Quartus II v9.0 da Altera.
- Link Download Quartus II v9.0
- Link Tutorial Rápido Quartus II
- Link Tutorial Quartus II
- Manual Placa
- Submissão**
- Trabalho 3 Submeter - Prazo 29/05
- Laboratório 7 e 8 de INF01058 - Máquina de Estados e Controle de Botões - Trabalho 4**
- Especificação Laboratório

The page also shows a task submission section for "Trabalho 2 - Projeto em VHDL - Prazo 29/04" and a task submission section for "Trabalho 3 Submeter - Prazo 29/05".

## Laboratório 7 e 8, Projeto Final, Notas



The screenshot shows a web browser window displaying a Moodle course page. The browser's address bar shows the URL `moodle.inf.ufrgs.br/course/view.php?id=668`. The page content is organized into three main sections:

- Laboratório 7 e 8 de INF01058 - Máquina de Estados e Controle de Botões - Trabalho 4**
  - Especificação Laboratório
  - PPT aula lab
  - Debounce
  - Submissão**
  - Trabalho 4 Submeter
- Especificação do Projeto Final - Somador e Subtrator de 08 bits**
  - Especificação Projeto Final
  - Lista de Exercícios - Maq Sequenciais
  - Considerações Trabalho Final
  - Considerações Trabalho Final 2
  - Submissão**
  - Projeto Final Submeter
- Notas**
  - Notas
  - Notas das Provas 1 e 2
  - Notas / Alunos em RECUPERAÇÃO.
  - Notas de Provas e Trabalhos
  - Notas e Média Final da Avaliação

The Windows taskbar at the bottom of the screen shows the system tray with the date and time: 22:44 on 22/07/2014. The taskbar includes icons for Internet Explorer, File Explorer, and other applications.

# TRABALHOS PRÁTICOS

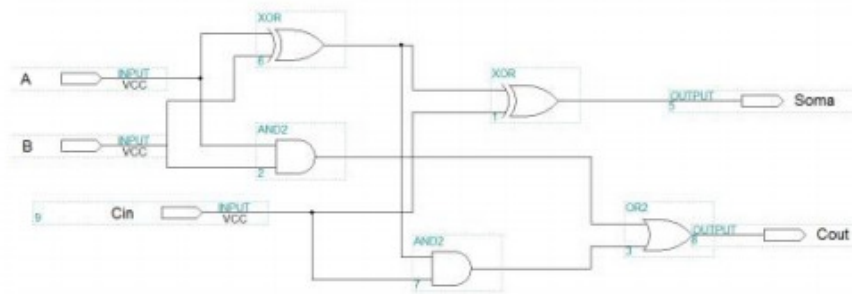
## Trabalho 2

### Laboratório 3 de INF01058 – Introdução ao Max+Plus – Trabalho 2

#### Introdução ao Max+Plus.

#### 1) Somador

A) Faça o esquemático do Full Adder abaixo:



B) Simule o circuito acima com o simulador lógico do Max+Plus. Faça a especificação da forma de onda na entrada.

C) Faça o RCA de 2 bits instanciando o FA.

D) Faça tudo de novo utilizando VHDL.

Laboratório 4 de INF01058 – Introdução ao Max+Plus – Trabalho 2

1) Display de 7 segmentos. Esta mostrada abaixo a função de um decodificador hexadecimal para um display de 7 segmentos. Note que são 7 funções de saída para as 4 entradas.



A	B	C	D	S0	S1	S2	S3	S4	S5	S6	display
0	0	0	0	0	0	0	1	0	0	0	0
0	0	0	1	1	1	1	1	1	0	0	1
0	0	1	0	1	0	0	0	0	0	1	2
0	0	1	1	1	1	0	0	0	0	0	3
0	1	0	0	0	1	1	0	1	0	0	4
0	1	0	1	0	1	0	0	0	1	0	5
0	1	1	0	0	0	0	0	0	1	0	6
0	1	1	1	1	1	0	1	1	0	0	7
1	0	0	0	0	0	0	0	0	0	0	8
1	0	0	1	0	1	0	0	0	0	0	9
1	0	1	0	0	0	0	0	1	0	0	A
1	0	1	1	0	0	1	0	0	1	0	b
1	1	0	0	0	0	0	1	0	1	1	C
1	1	0	1	1	0	1	0	0	0	0	d
1	1	1	0	0	0	0	0	0	1	1	E
1	1	1	1	0	0	0	0	1	1	1	F

a) Relembrar o Mapa de Karnout para a saída ~~S1~~ S0

A	B	C	D	S0
0	0	0	0	0
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

A B // C D	00	01	11	10
00	0	1	1	1
01	0	0	1	0
11	0	1	0	0
10	0	0	0	0

$$S0 = (A.B.IC.D) + (IA.IB.D) + (IA.C.D) + (IA.IB.C)$$

b) Usar o software Karma para obter as funções que representam a tabela verdade do Display de 7 segmentos.

c) Desenvolver um VHDL para o display de 7 segmentos.

d) Utilizar a placa de FPGA da Altera para testar o projeto, utilizando 1 display e 4 switches.

e) Existem outras formas de descrever o VHDL do display? Como ficaria uma dessas outras implementações?

## Trabalho 3

### Laboratório 5 e 6 de INF01058 – FPGA, Quartus II e contador – Trabalho 3

- 1) Validar no FPGA o display desenvolvido na aula passada. Use 4 *switches buttons* para as entradas.
- 2) Desenvolver um contador utilizando o *Block Diagram* do Quartus II. Pode-se utilizar os blocos básicos abaixo.

#### LATCH D

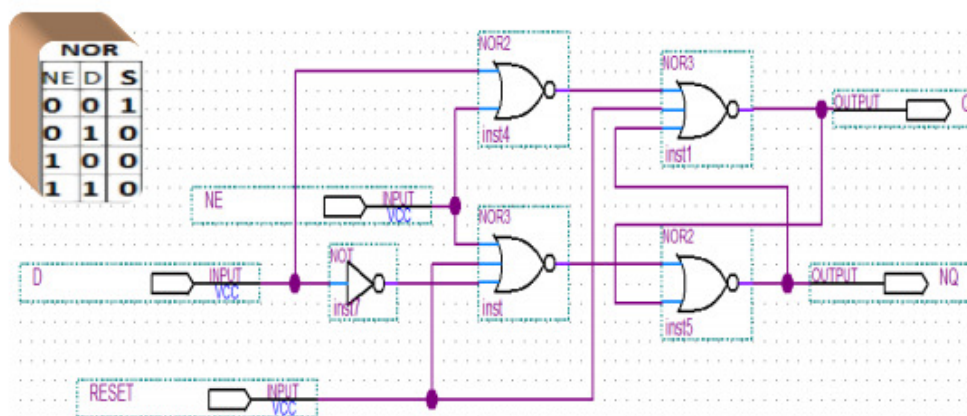


Figura 1: LATCH D

#### FLIPFLOP D (borda de descida)

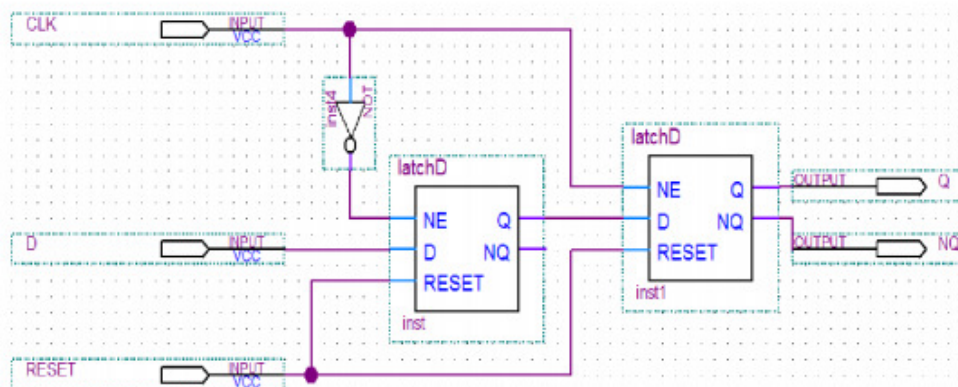


Figura 2: FLIPFLOP D

- a) Simular o projeto do contador e observar as formas de onda.
- b) Testar na placa de FPGA, utilizando o intervalo de contagem de aproximadamente 1 segundo.

**3) Desenvolver um contador utilizando a linguagem de descrição de hardware VHDL.**

a) Simular o projeto do contador e observar as formas de onda.

b) Testar na placa de FPGA, utilizando o intervalo de contagem de exatamente 1 segundo. Para isso reaproveitem o código do display desenvolvido na última aula.

**4) QUESTÕES PARA CASA E PARA O RELATÓRIO:**

a) Como fazer uma “bomba relógio”?

b) Se eu trocar a borda de descida para de subida na figura 2 o que acontece?

c) No exercício 2 como eu faço um intervalo de contagem de exatamente 1 segundo.

## ANEXOS

Pinos:

Display Segment	Pin for Digit 1	Pin for Digit 2
s2 a	6	17
s5 b	7	18
s6 c	8	19
s4 d	9	20
s1 e	11	21
s0 f	12	23
s3 g	13	24
Decimal point	14	25

Switch	FLEX 10K Pin
FLEX_SWITCH-1	41
FLEX_SWITCH-2	40
FLEX_SWITCH-3	39
FLEX_SWITCH-4	38
FLEX_SWITCH-5	36
FLEX_SWITCH-6	35
FLEX_SWITCH-7	34
FLEX_SWITCH-8	33

**CLOCK - FLEX10K - pino 91 - 25,175 MHz**

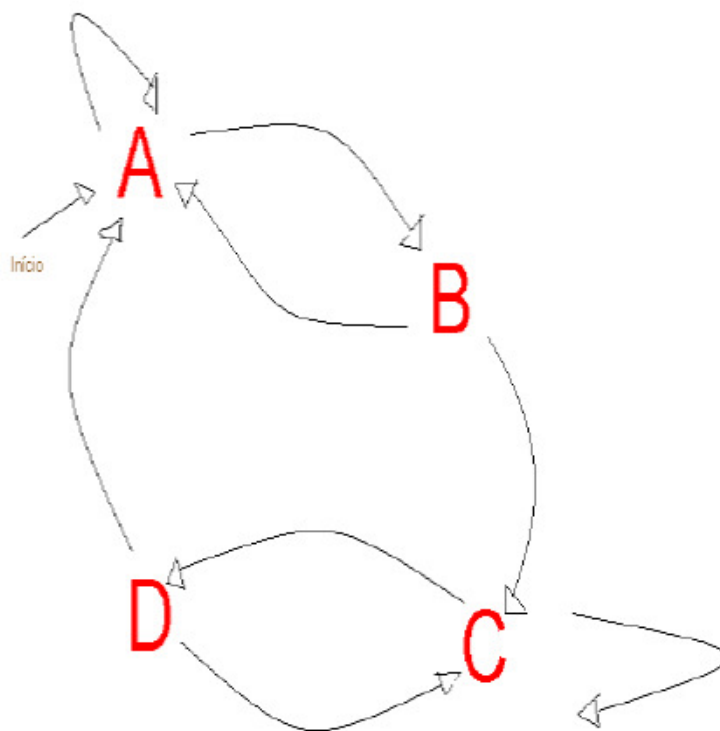
## Trabalho 4

### Laboratório 7 e 8 de INF01058 – Máquina de Estados e Controle de Botões – Trabalho 4

1) Ligar a entrada do contador diretamente no botão do pino 28, conectar o display no contador. Quando for pressionado o botão será incrementado o valor, teste na placa de FPGA ao final. Funcionou como esperado?

2) Complete os seguintes exercícios para implementação de um filtro de ruído. Você deve observar os códigos de estados para os estados A,B,C,D e seguir a especificação dada no diagrama da máquina "DEBOUNCE" abaixo:

## Debounce



ESTADO ATUAL Ea0,Ea1	BOTÃO	PROX ESTADO (Pe0,Pe1)
A 00	0	
A 00	1	
B 01	0	
B 01	1	
C 11	0	
C 11	1	
D 10	0	
D 10	1	

Pe0

Botão / Ea0,Ea1	00	01	11	10
0				
1				

Pe1

Botão / Ea0,Ea1	00	01	11	10
0				
1				

Pe0 =

Pe1 =

3) Implemente o filtro e insira o mesmo no projeto realizado no item 1. Teste na placa. Funcionou?

4) Como você poderia aumentar o intervalo de filtragem de ruídos do meu circuito? Explique.

5) Se você colocar um inversor entre o botão e o contador o que irá ocorrer? Alterou a forma como funciona o sistema?

**Faça um relatório respondendo as perguntas e fazendo os exercícios.**

## ANEXOS

Pinos:

Display Segment	Pin for Digit 1	Pin for Digit 2
S2 a	6	17
S5 b	7	18
S6 c	8	19
S4 d	9	20
S1 e	11	21
S0 f	12	23
S3 g	13	24
Decimal point	14	25

Switch	FLEX 10K Pin
FLEX_SWITCH-1	41
FLEX_SWITCH-2	40
FLEX_SWITCH-3	39
FLEX_SWITCH-4	38
FLEX_SWITCH-5	36
FLEX_SWITCH-6	35
FLEX_SWITCH-7	34
FLEX_SWITCH-8	33

### **CLOCK - FLEX10K - pino 91 - 25,175 MHz**

FLEX\_PB1 and FLEX\_PB2 are two push buttons that provide active-low signals to two general-purpose I/O pins on the FLEX 10K device. FLEX\_PB1 connects to pin 28, and FLEX\_PB2 connects to pin 29. Each push button is pulled-up through a 10-K $\Omega$  resistor.

# PROJETO FINAL

**INF01058 Turma C 2014/1**

**Especificação do Projeto Final**

**Somador e Subtrator de 08 bits**

Implementar uma calculadora simples de soma e subtração de números de 8 bits. Utilize a representação em complemento de 2, exiba o resultado e os operandos com 2 caracteres hexadecimais.

Descrição do funcionamento:

- 1) Inicialmente aparece no display somente o travessão “\_”.
- 2) Quando o usuário clicar no botão, irá aparecer nos display o valor hexadecimal indicado nos *switches buttons* da placa. Neste momento o usuário pode alterar o valor reposicionando os *switches*.
- 3) Num novo clique do botão irá aparecer na tela o sinal da operação, todos os segmentos apagados significa operação de soma +, só o segmento horizontal aceso significa operação de subtração -. Se o usuário abaixar o *switch* do pino 41 a operação será de soma, senão será subtração. O usuário pode trocar a operação neste momento. O display da esquerda deve permanecer apagado durante este processo.
- 4) Em um novo clique do botão irá aparecer no display o segundo valor hexadecimal da operação o qual está indicado nos *switches buttons* da placa. Neste momento o usuário pode alterar o valor reposicionando os *switches*.
- 5) Clicando de novo no botão o hardware realiza a operação e exibe o resultado no display, se houver *underflow* ou *overflow* será exibida a palavra “OU” no display, i.e.



Pressionando novamente o botão após exibir o resultado, o hardware deve voltar para o passo número 1, resetando os valores armazenados.

Dica: Os 4 bits menos significativos serão mapeados diretamente para o display de 7 segmentos da direita e os mais significativos para o da esquerda.

**Avaliação:**

- 1) Demonstração prática em sala de aula ou em horário individualizado a ser marcado com o professor.
- 2) Relatório de projeto.
- 3) Prazo para ambos: 08/Julho/2014 às 17h00.

**Roteiro Relatório:**

- 1) Capa
- 2) Introdução
- 3) Desenvolvimento
  - 3.1) Esquemático do projeto como um todo.
  - 3.2) Explicação da função de cada bloco do projeto presente na figura acima.
  - 3.3) Todos os blocos que não foram utilizados durante o semestre, ou seja, foram feitos exclusivamente para este trabalho devem ser apresentados nesta parte com figuras e explicações.
  - 3.4) Explique quais os testes que realizou para verificar a correção do módulo somador/subtrator. Apresente quais os casos de teste que você utilizou no protótipo em placa de FPGA. Mostre os vetores de testes utilizados no Quartus II.
  - 3.5) Outras explicações.
- 4) Responder:
  - 4.1) Mostre o projeto e/ou o código VHDL da parte de controle? (Se já foi explicado acima, apenas referencie.)
  - 4.2) Tudo funcionou como esperado? (Se a resposta for não explique o que não funcionou e por quê?)
  - 4.3) Implementaram alguma funcionalidade a mais que na especificação?
  - 4.4) Qual foi a parte mais fácil do projeto e a mais difícil?
- 5) Conclusão
- 6) Referências
- 7) Anexos e Apêndices